

# Symbolisation des circuits logiques

## 1 DÉFINITIONS GÉNÉRALES

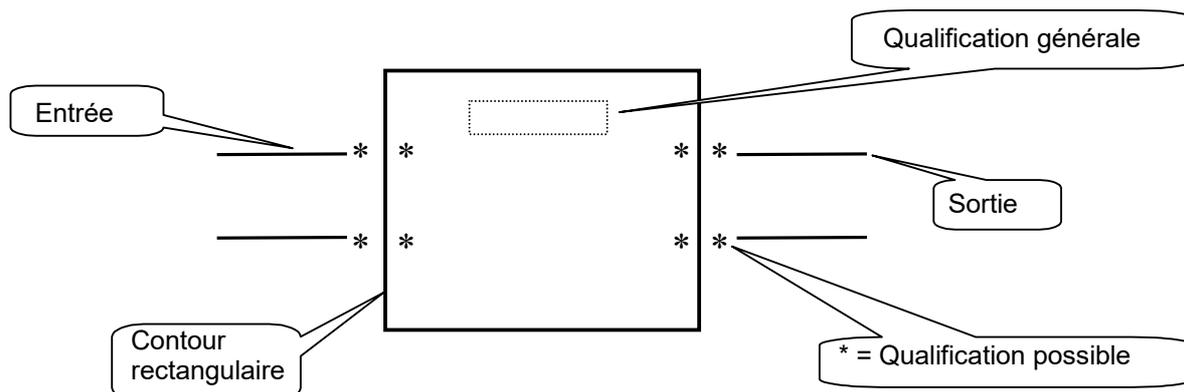
Afin de rendre la lecture des schémas électroniques plus aisée, l'IEEE (*Institute of Electrical and Electronic Engineers*) a développé dans les années 1970 un nouveau standard de symbolisation logique. Cette symbolisation permet de montrer la relation entre chaque entrée d'un circuit et ses sorties sans qu'il soit nécessaire d'expliciter la composition interne de ce circuit.

La révision la plus récente de ce standard est ANSI/IEEE Std 91-1984 complétée par le supplément ANSI/IEEE Std 91a-1991.

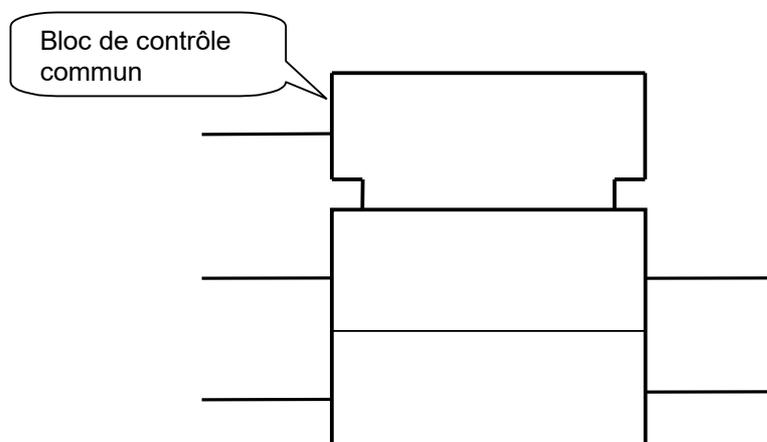
La suite de ce document décrit les principaux éléments de cette norme afin permettre la lecture des schémas courants. Une documentation plus exhaustive est disponible sur les catalogues de « Texas Instrument ® » [www.ti.com](http://www.ti.com).

<https://www.ti.com/lit/ml/sdyz001a/sdyz001a.pdf>

### 1.1 Symbolisation générale :



### 1.2 Bloc de contrôle commun :



Lorsqu'une ou plusieurs entrées sont communes à plus d'un élément du bloc, on utilise le bloc de contrôle commun. C'est la seule forme de contour distinctive de la norme.

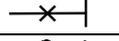
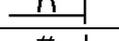
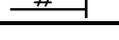
## Symboles IEEE

### 1.3 Symboles de qualification générale :

Ce tableau n'est pas exhaustif, seuls les symboles les plus usités sont présents.

Symbole	Description
&	ET logique
$\geq 1$	OU logique
=1	OU Exclusif (seule une entrée doit être active pour activer la sortie)
	Sortie amplifiée (buffer)
	Trigger de Schmitt (élément avec hystérésis)
X/Y	Codeur, convertisseur de codes... (BIN/7SEG, DEC/BCD...)
MUX	Multiplexeur
DMUX ou DX	Démultiplexeur
	Monostable redéclenchable
$1$ 	Monostable non redéclenchable
CTR <sub>m</sub>	Compteur, m = nombre de bits (longueur du cycle = 2 <sup>m</sup> )
CTR DIV <sub>m</sub>	Compteur dont la longueur du cycle est m.
SRG <sub>m</sub>	Registre à décalage de m bits ( <i>Shift Register</i> ).
ROM	Mémoire à lecture seule ( <i>Read Only Memory</i> ).
RAM	Mémoire à lecture écriture ( <i>Random Access Memory</i> ).
ALU	Unité arithmétique et logique ( <i>Arithmetic Logic Unit</i> ).
[..]	Information non standard.

### 1.4 Symboles de qualification des entrées - sorties :

Symbole	Description
	Négation logique en entrée.
	Négation logique en sortie.
	Entrée active à l'état bas ( <i>équivalent à  en logique positive</i> ).
	Sortie active à l'état bas ( <i>équivalent à  en logique positive</i> ).
	Sens du signal de la droite vers la gauche (non indiqué sinon).
	Signal bidirectionnel.
	Entrée dynamique (active sur front montant).
	Entrée dynamique (active sur front descendant).
	Entrée dynamique (active sur transition de 1 vers 0).
	Connexion non logique (composant ...)
	Entrée analogique (sur un composant numérique).
	Entrée numérique (sur un composant analogique).

1.5 Symboles de qualification des entrées - sorties :

Symbole	Description
	Entrée avec hystérésis.
	Entrée d'autorisation ( <i>Enable</i> ).
	Entrées de bascules ( <i>R=reset, S=set...</i> ).
	Entrée de comptage ( <i>m=2, 3... m=1 non indiqué</i> ).
	Entrée de décomptage ( <i>m=2, 3... m=1 non indiqué</i> ).
	Sortie de bascule « maître – esclave ».
	Sortie « collecteur ouvert ».
	Sortie « collecteur ouvert » avec résistance de rappel à +Vcc interne.
	Sortie « 3 états ».
	Sortie amplifiée (buffer).

1.6 Notation de dépendance :

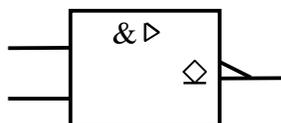
Lettre	Type	Action de l'entrée affectante	
		État « 1 »	État « 0 »
A	Adresse	Adresse sélectionnée	Empêche l'action
C	Contrôle	Action permise	Empêche l'action
EN	Autorisation	Action permise	Haute impédance ou OFF
G	ET	Action permise	Impose « 0 »
M	Mode	Mode sélectionné	Empêche l'action
N	Négation	Complémente	Pas d'effets
R	Reset	Remise à « 0 »	Pas d'effets
S	Set	Mise à « 1 »	Pas d'effets
V	OU	Impose « 1 »	Action permise
X	Transmission	Connexion bidirectionnelle	Déconnexion
Z	Interconnexion	Impose « 1 »	Impose « 0 »

A l'aide d'une de ces lettres suivie d'un numéro, on établit la parenté entre des entrées ou sorties sans avoir à dessiner les connexions internes.

La lettre est placée sur la broche affectante et le numéro se retrouve sur les broches affectées. Le numéro peut éventuellement être complémenté pour préciser que c'est le complément de l'entrée affectante qui agit.

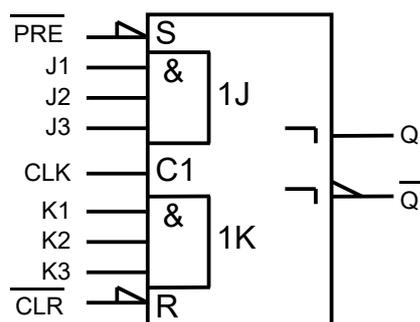
## 2 EXEMPLES

### 2.1 7439 - NAND :



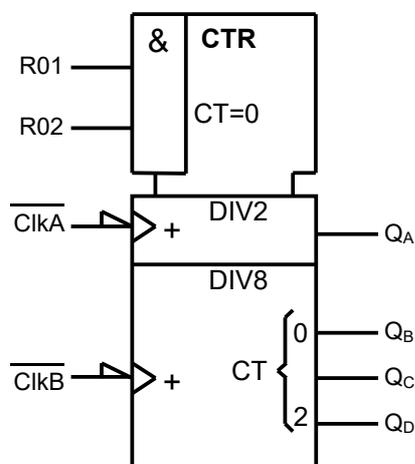
- Porte NAND (ET-NON) amplifiée (« bufferisée »).
- La sortie est de type collecteur ouvert.

### 2.2 7472 – Bascule JK maître - esclave :



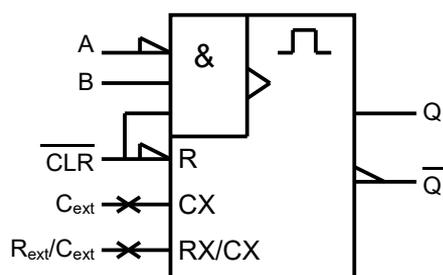
- Cette bascule est de type maître esclave ( $\neg$ ).
- L'entrée PRE (*preset*) positionne Q à 1 en activant S lorsqu'elle est à 0.
- De même CLR (*clear*) positionne Q à 0.
- J est obtenu par  $J1.J2.J3$  et K par  $K1.K2.K3$
- L'entrée CLK contrôle (C1) l'action de J et K (1J,1K) .

### 2.3 7493 – Compteur binaire 4 bits :



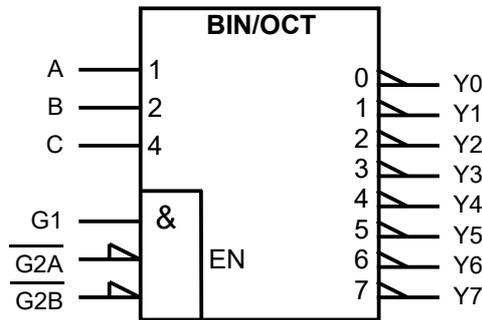
- CTR indique qu'il s'agit d'un compteur.
- R01 & R02 provoque CT=0, c'est la remise à zéro des sorties du compteur.
- Le compteur est composé d'un diviseur par 2 et d'un diviseur par 8 (DIV2, DIV8).
- ClkA et ClkB sont des entrées dynamiques, de comptage (+), actives sur le front descendant.
- CT0 à 2 sont les sorties de poids  $2^0$  à  $2^2$  du compteur/diviseur par 8.

### 2.4 74123 – Monostable :



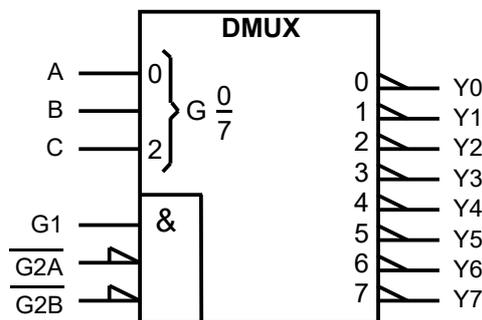
- C'est un monostable redéclenchable actionné par le front montant du résultat de  $(/A.B./CLR)$ .
- $/CLR$  à « 0 » provoque une remise à zéro R de la bascule.
- Les entrées Cext et Rext/Cext sont non logiques et servent à relier les composants déterminant la durée du monostable.

2.5 74138 – Décodeur - démultiplexeur :



Fonction décodeur :

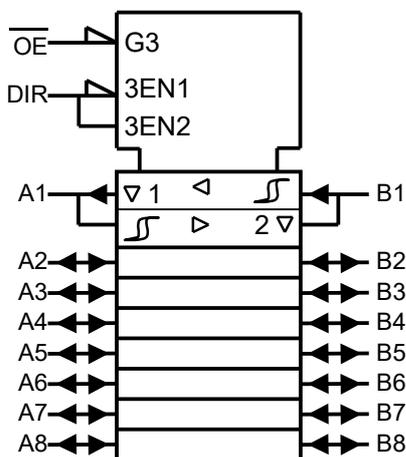
- BIN/OCT indique un décodeur binaire / octal.
- La combinaison  $n$  sur les entrées A, B et C rend active la sortie  $n$ .
- La sortie sélectionnée sera à l'état bas (inversion) si EN=1, sinon toutes les sorties seront inactives (Y0 à Y7 à l'état haut).



Fonction démultiplexeur :

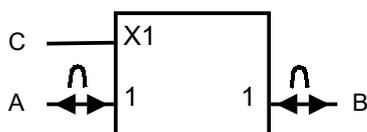
- DMUX indique un démultiplexeur.
- La combinaison  $n$  sur les entrées A, B et C sélectionne la sortie  $n$ .
- La sortie sélectionnée verra le résultat inversé de la fonction & (entrées G..).
- Les autres sorties seront inactives (état haut).

2.6 74245 – Amplificateur de BUS bidirectionnel 8 bits :



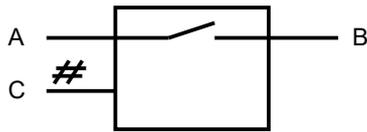
- OE contrôle l'action de DIR (G= ET logique avec 3), si OE est haut aucune sortie n'est valide.
- DIR à l'état bas valide (EN) les sorties 1, on a donc amplification de B vers A.
- DIR à l'état haut valide les sorties 2, amplification de A vers B.
- Les sorties sont de type « 3 états », lorsqu'elles ne sont pas valides elles sont en haute impédance.
- Les entrées possèdent un hystérésis.
- Les 8 fonctions sont identiques, on ne détaille que la 1<sup>ère</sup>.
- Ce circuit est utilisé pour amplifier le BUS de données, DIR étant généralement relié au signal R/W.

2.7 4066 – Interrupteur analogique bilatéral :



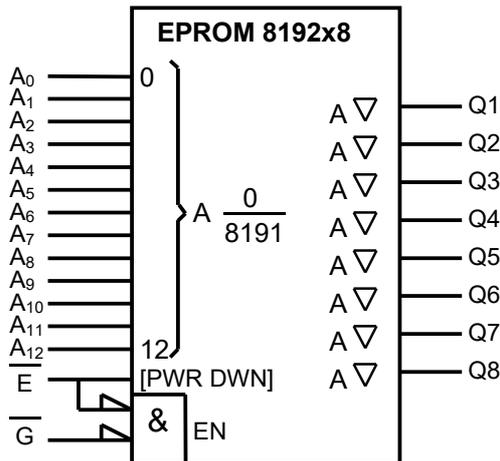
- Ce premier symbole est de type logique, C contrôle la mise en relation des liaisons analogiques bidirectionnelles A et B (X indique une dépendance de type *Transmission*).

## Symboles IEEE



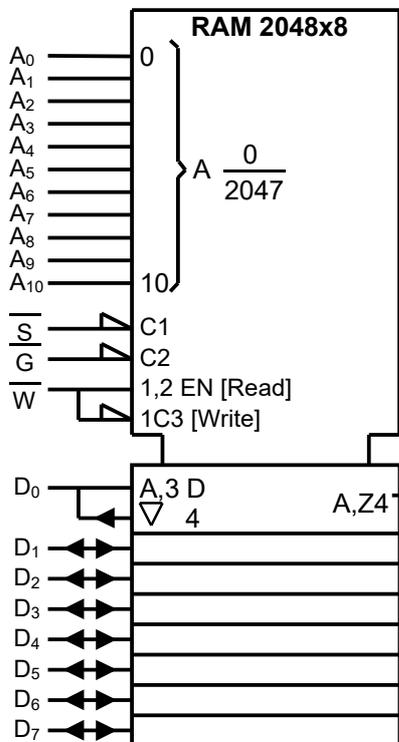
- Ce deuxième symbole est de type analogique, C est une entrée logique (#) contrôlant l'interrupteur situé entre les connexions A et B.

### 2.8 2764 – EPROM 64 kbits :



- C'est une mémoire EPROM de 8 koctets.
- Les entrées d'adresses  $A_0..A_{12}$  sélectionnent une des mémoires du n°0 au n°8191.
- L'entrée E active la puce et associée à G autorise la sortie (EN) de la donnée contenue dans la case mémoire sélectionnée.
- Les sorties sont en haute impédance lorsque le circuit n'est pas validé.

### 2.9 4016 – RAM statique 2K x 8 :



- C'est une mémoire RAM de 2 koctets.
- Les entrées d'adresses  $A_0..A_{10}$  sélectionnent une mémoire n°0 à n°2047.
- L'entrée /S contrôle W.
- L'entrée /G contrôle W pour l'opération de lecture.
- L'entrée /W à « 1 » contrôlée par S et G (1,2) valide la sortie (EN), la cellule adressée (A) est interconnectée (A,Z4) avec la sortie Dn. C'est l'opération de lecture.
- L'entrée /W à « 0 » contrôle (C3) l'entrée Dn adressée (A,3). Cette entrée est de type D (mémoire bit). C'est l'opération d'écriture.